

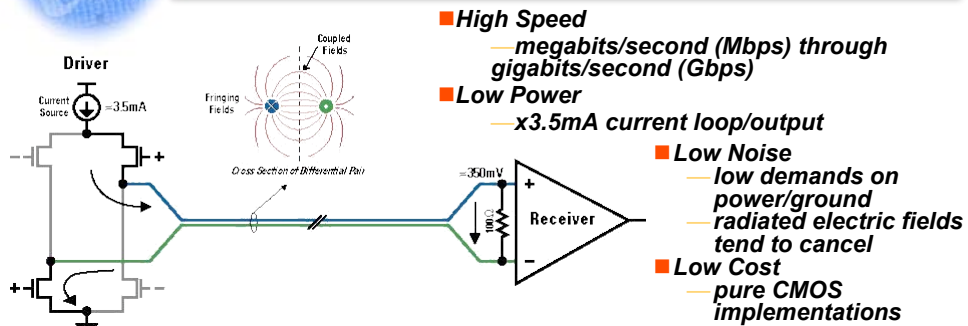


What is LVDS?

下一部分描述LVDS电路基础知识



What is LVDS?



- **High Speed**
 - megabits/second (Mbps) through gigabits/second (Gbps)
- **Low Power**
 - x3.5mA current loop/output
- **Low Noise**
 - low demands on power/ground
 - radiated electric fields tend to cancel
- **Low Cost**
 - pure CMOS implementations

- **Low Voltage Differential Signaling (LVDS)**
- **ANSI/TIA/EIA-644-A-2001 Standard**
 - only electrical levels specified
 - medium independent
 - other standards reference LVDS
- **Gigabits/second (Gbps) at milliwatts over backplanes or up to 10-15m cable**

Gigabits
@ milliwatts



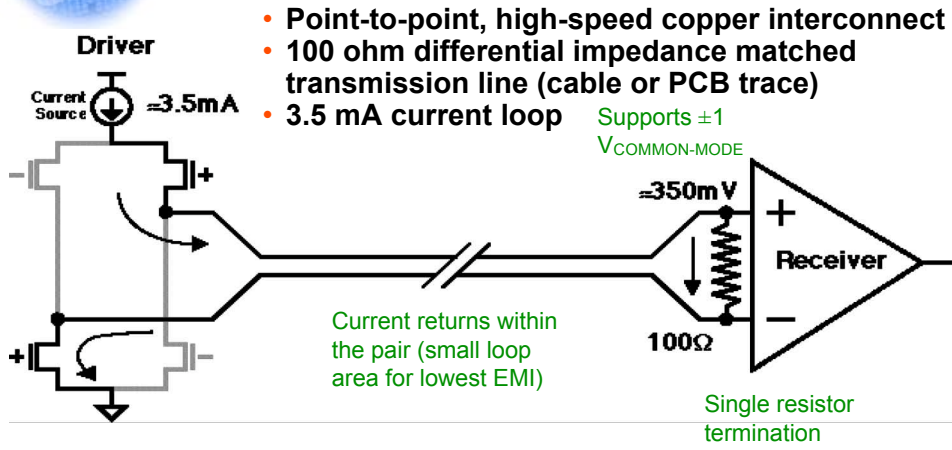
ANSI/TIA/EIA-644-A-2001标准(这是过去ANSI/TIA/EIA-644版本的修订版本)规定LVDS(低压差分信号传输)。此标准只规定电信号传输电平,媒体和应用由用户决定,这使得LVDS在不同应用中是实用的。事实上,很多系统标准的信号传输模式都参照LVDS。

LVDS是电流环信号传输技术,电流环的方向(正时针或反时针方向)决定逻辑电平(高态或低态)。线对的一条线驱动大约3.5mA电流,而电流通过线对的另一条线返回。在终端电阻器上产生电压大约为 $\pm 3.5\text{mA} \times 100\Omega = \pm 350\text{mV}$ 。接收器(一个差分比较器)测量此电压降的极性,正电压对应于逻辑高态、负电压对应于逻辑低态。

LVDS的小摆幅差分特性使其成为一种高速低噪声、低功率技术。相对恒定的小输出电流降低了电源/地噪声,由于信号线对中的电流是紧密耦合的电流环,所以,边缘电场趋于消除,从而降低EMI。



LVDS Circuit Basics



- Point-to-point, high-speed copper interconnect
- 100 ohm differential impedance matched transmission line (cable or PCB trace)
- 3.5 mA current loop

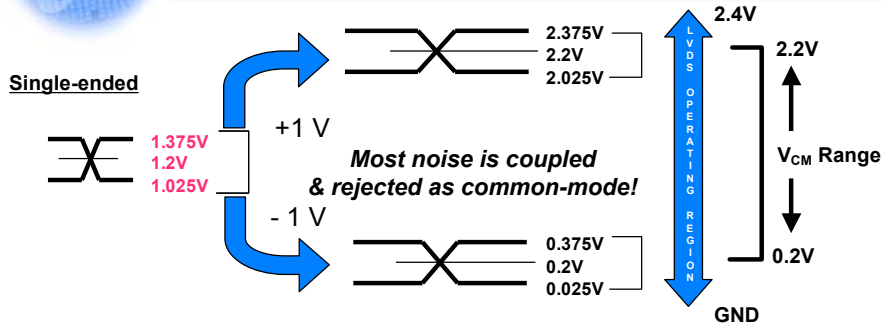
- Ultra-low power consumption, almost flat versus frequency
- Low signal noise and EMI, and high immunity to external noise



简单考虑低压差分信号传输技术是如何工作的。电流流经终端电阻器，而接收器译码跨接在器件上的电压。根据跨接在电阻器上的电压差，接收器将传输一个满电平CMOS/TTL1或0信号。应把连接视为传输线，随着距离的增加应更加注意它。因为此技术的低压特性和可能牵连EMI，所以，LVDS主要用于几米的距离。然而，因为线路是差分，所以用共模抑制信号能免除很多干扰。另一个主要优点是低功耗。对于给定的低电流，在工作期间只有少量的功耗。大多数NSC LVDS器件支持VDD器件和GND电源连接内的任意共模电压。请参见每个器件的数据手册。



LVDS Common-mode Range



Driver Differential Output Voltage	V_{OD}	250 - 450 mV
Driver Offset Voltage	V_{OS}	+1.25 V
Receiver Thresholds	V_{TH}	± 100 mV
Receiver Input Voltage Range	V_{IN}	GND to +2.4 V
Common-Mode Range	V_{CM}	± 1 V around 1.25 V
Differential Noise Margin	DNM	150 mV
Data Rate Range	f	DC to ~2Gbps
Cable Length Range	L	0 to ~15+ meters



See ANSI/TIA/EIA-644-A-2001 for complete specifications.

LVDS共模范围应与单端噪声容限(对于BTL为400mV)相比。若紧密耦合差分线对用于互连, 则噪声拾取是常见的。

在 ± 1 V, LVDS和Bus LVDS具有的噪声容限超过低摆幅BTL或GTL器件的2倍。

± 1 Vcm也提供热/线路插入能力。

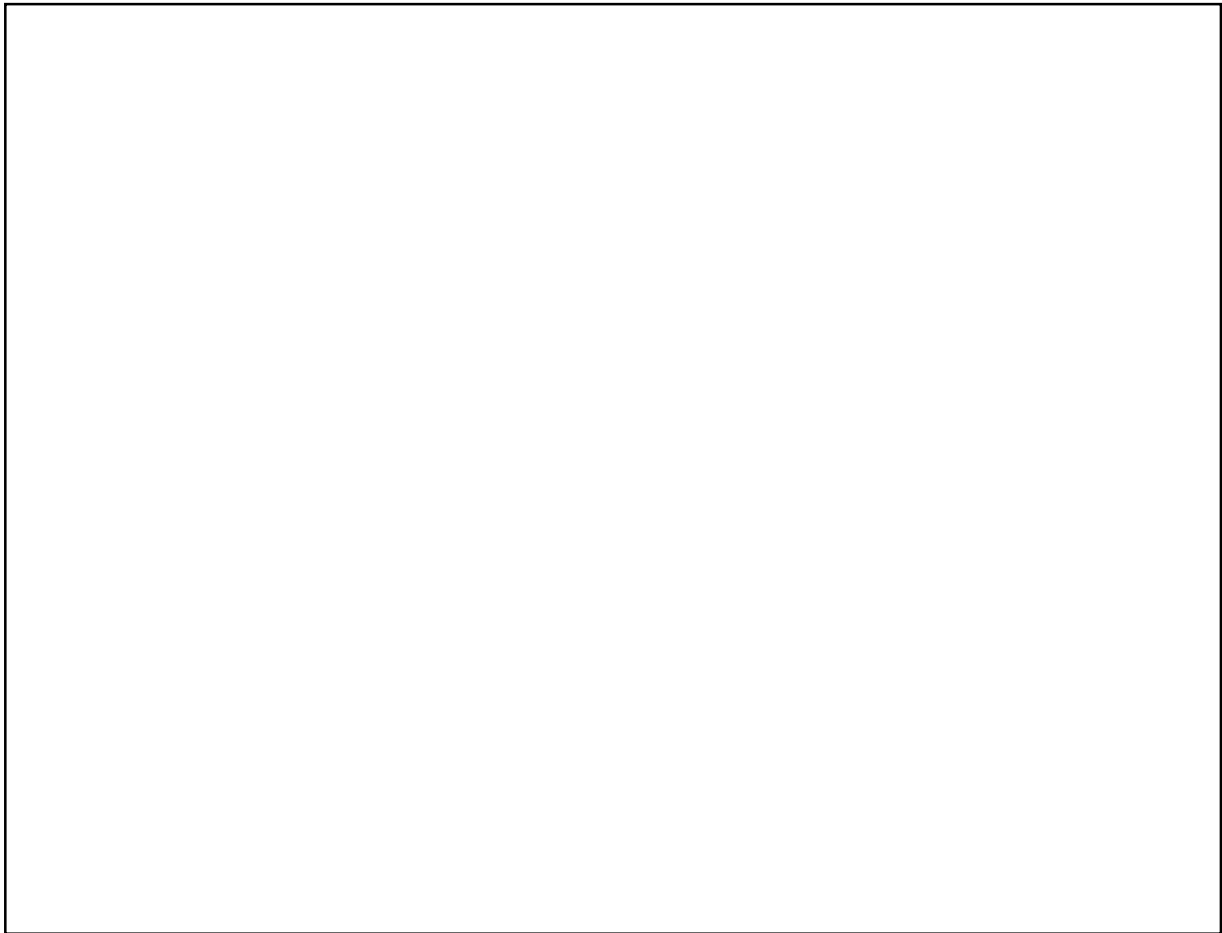
LVDS是非常良好的:

信号= ± 400 mV, 噪声= ± 1000 mV, N/S=2.5。

对于CMOS, 我们有:

信号=3000mV, 噪声=400mV, N/S=0.133。

LVDS信噪比比CMOS好18倍。



LVDS由TIA(电信工业协会)和IEEE标准化。

TIA版本是通用标准, 只规定驱动器输出和接收器输入特性。它做为其他标准的参考, 其他标准规定完整的接口(包括协议, 连接器的Camera Link标准或FPD接口标准。它也用于很多专有的应用中。

IEEE标准规定SCI(可定标相关接口)应用的LVDS以及测试、条件和限制的变化。这是一个专门顶端应用所附加的, 但是, 它们在概念上是相同的。

其他标准也希望在物理层采用LVDS。

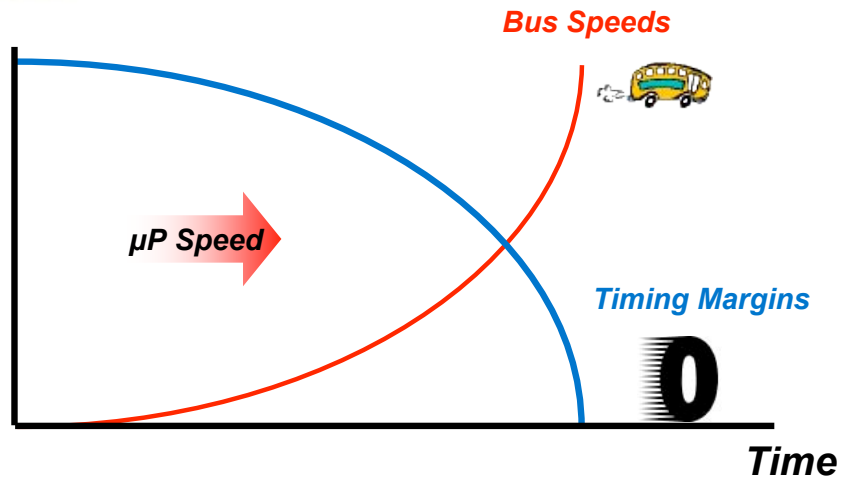


What problems does LVDS address?

下一部分描述用LVDS技术解决的问题。



Increasing Interface Demands

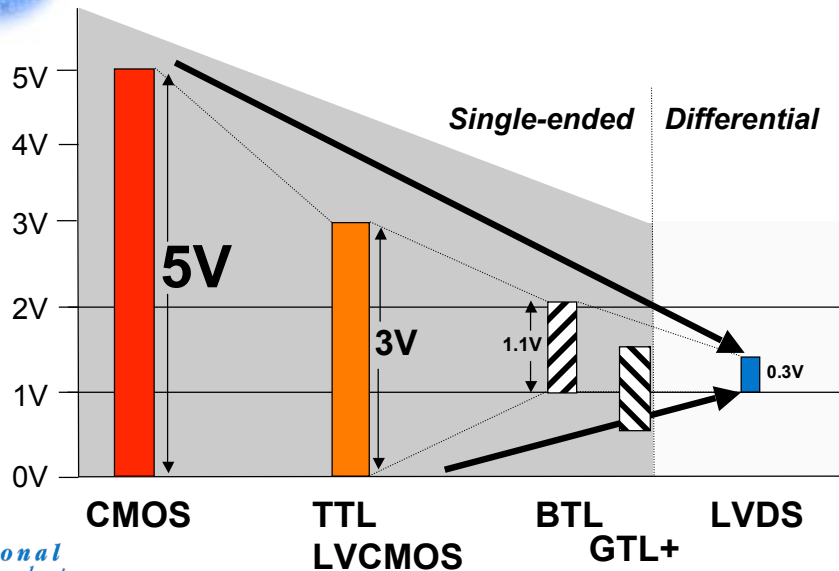


 **National Semiconductor**
The Sight & Sound of Information

对速度的要求是客观的，每年以惊人的速度增加，随着处理器的速度越来越快，需要增加总线速度来为处理器服务。随着速度的增加，定时容限缩小，因此，需要高性能接口器件。
还记得只有电文消息的时代吗？而现在你可以从每个电子邮件上得到附件的插图、图像和负载。因此，带宽的要求从台式机贯穿到数据通信和电信网络。

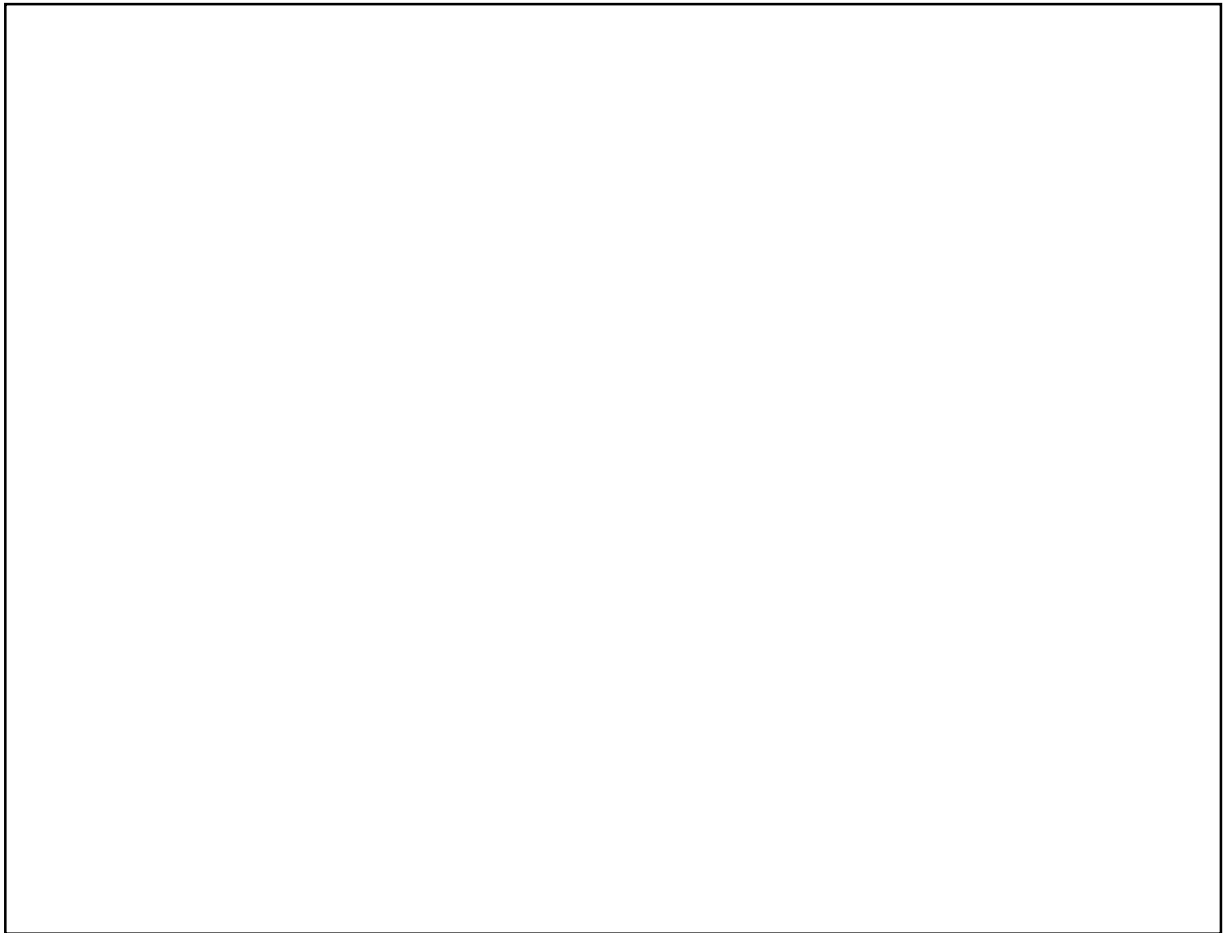


Migration to Low Swings



 National
Semiconductor
The Sight & Sound of Information

上图示出趋于更小摆幅的趋势以及到差分的变换。一般情况，当降低信号摆幅时，噪声容限也降低。然而，LVDS不是这种情况，尽管LVDS具有比BTL或GTL更小的摆幅。这就是差分传输方法所提供的优点。当今设计工程师对于底板的一般选择是采用TTL/CMOS逻辑或降低摆幅技术，但是这种技术缺乏抗噪声度(LVDS具有抗噪声度)、消耗功率太多、具有复杂的终端和经受专门移动通路。



速度是信号传输时间，速度是限制信号传输快、慢的因素。较大的信号摆幅其传输时间就较长。使速度更快的一种解决方案是减小传输时间，但由于噪声、串扰、电磁干扰和功耗原因，这种方案是不现实的。

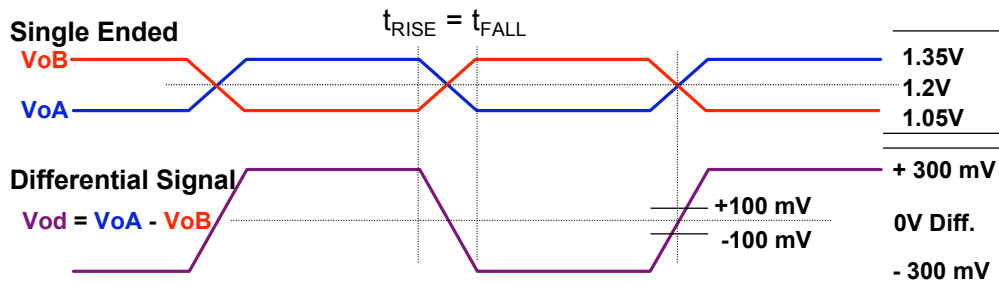
为了增加速度，LVDS靠降低信号摆幅来加速传输时间。因为采用更小的信号摆幅，所以，更快的传输时间不会增大串扰、EMI和功率。通常这也会降低噪声容限，但LVDS脾差分传输方案解决此问题，其信噪比大大地改善。

上图说明是大信号1/10的小信号，用同样的 dv/dt ，其速度改善大于7倍。但不是所有的都能这样，现在增加 dv/dt 是可能的，甚至可得到更高速度。

由于小信号摆幅，LVDS增加速度，这有助于其他所希望优点的发挥，如功率和较小的噪声。



Higher Performance



- **Low voltage swing for fast transitions**
 - But, transition slew rate remains low
- **Serialize data and encode clock**
 - Minimize skew problems in interconnect
- **Ultra-low power consumption; almost flat versus frequency**
- **Low signal noise and EMI, and high immunity to external noise**



LVDS低电压摆幅可使数据率很高，而不用快速转换率（快速转换率会导致噪声）。低摆幅也意味着低功率。

LVDS主要目标之一是低功耗。用CMOS工艺使静态电流汲取最小，可以实现低功耗。驱动器设计采用电流模式，因此，大大降低开关峰值。这降低了EMI并使功耗和旁路要求简化。I_{cc}与频率的关系曲线是非常平坦的。对于电压模式的驱动器，电源电流(I_{cc})随频率显著地增加，因此，一般限制器件在50MHz以下工作。用差分数据传输方法，在具有±1V噪声抑制(共模)情况下可以降低负载电压。这可使V_{cd}(对于422最小为2V，PECL为800mV)降到300mV(LVDS)。甚至用300PS传输时间，转换率保持在1/μs左右。跨接在100Ω上的330mV所需要负载电流仅为3.3mA，而422需要20mA以上。LVDS针对静态和负载电流，能提供最低的功率接口和较高的集成度，而无遮盖在封装中散热部分。

记住三个词中：

静态

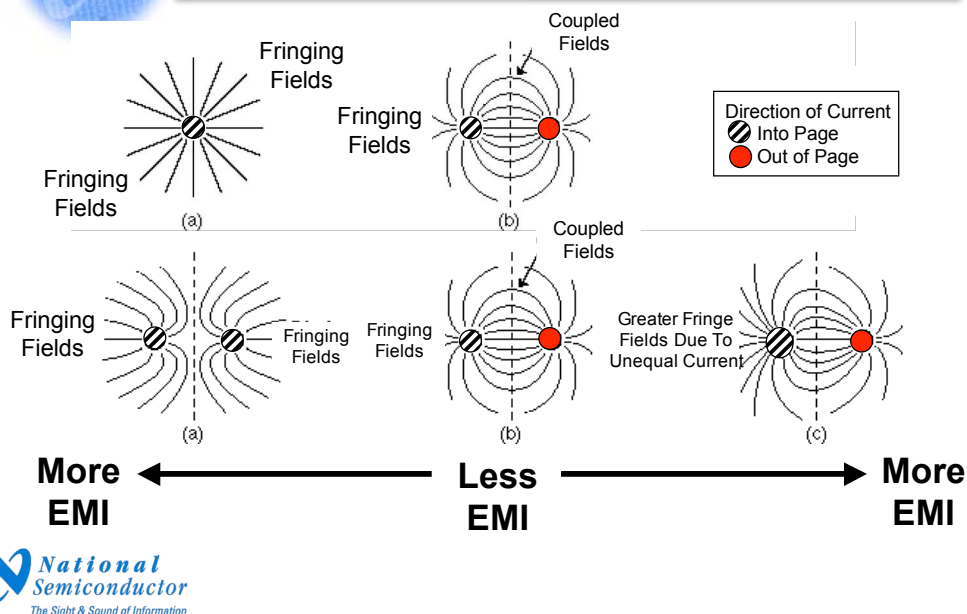
动态

负载

而LVDS能使功率最低。



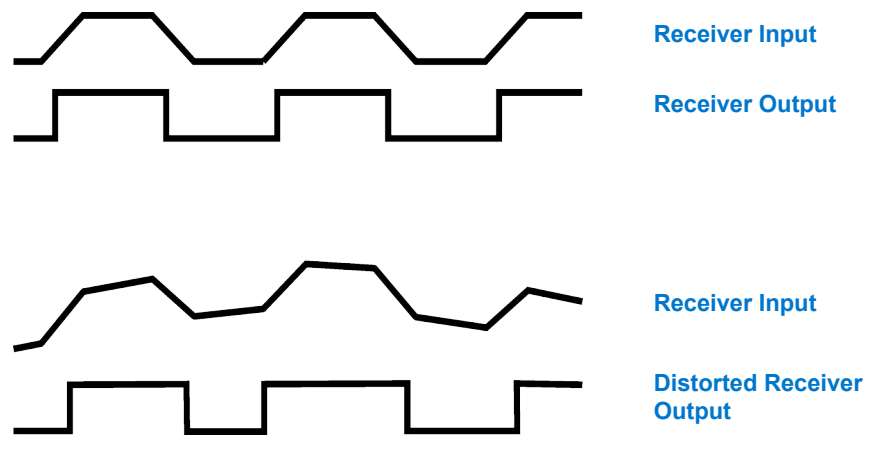
EMI & Differential Traces



此图示出基本的EMI场。空间中的单条线发射电磁场。采用真正的差分数据传输时，用两条线。电流在相反方向流，而电磁场阻碍并相互抵消。此图示出线对之间距离的重要性。当共模噪声呈现在线上时，在线对中有不相等的电流流过，可以看到增加辐射。为使噪声最小，传输模式应该是纯差分，而线应该紧靠在一起。这有助于保证噪声拾取将耦合为共模并被接收器抑制。如我们将看到的那样，借助紧密耦合的线，电磁场趋于防碍更多，因此辐射小。



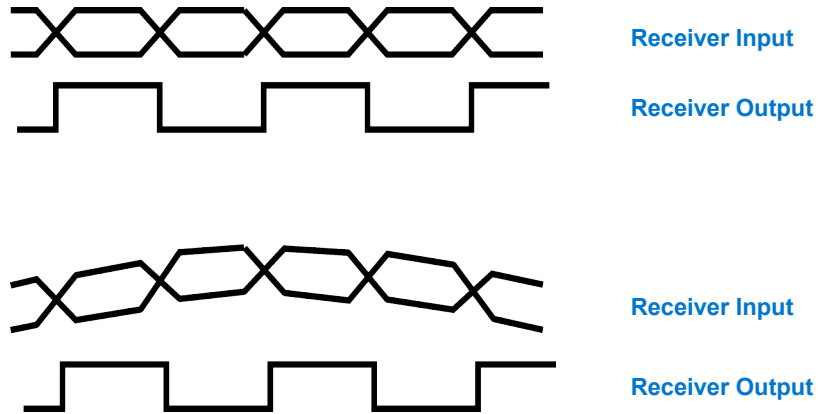
Common Mode Noise **Single-Ended Signals**



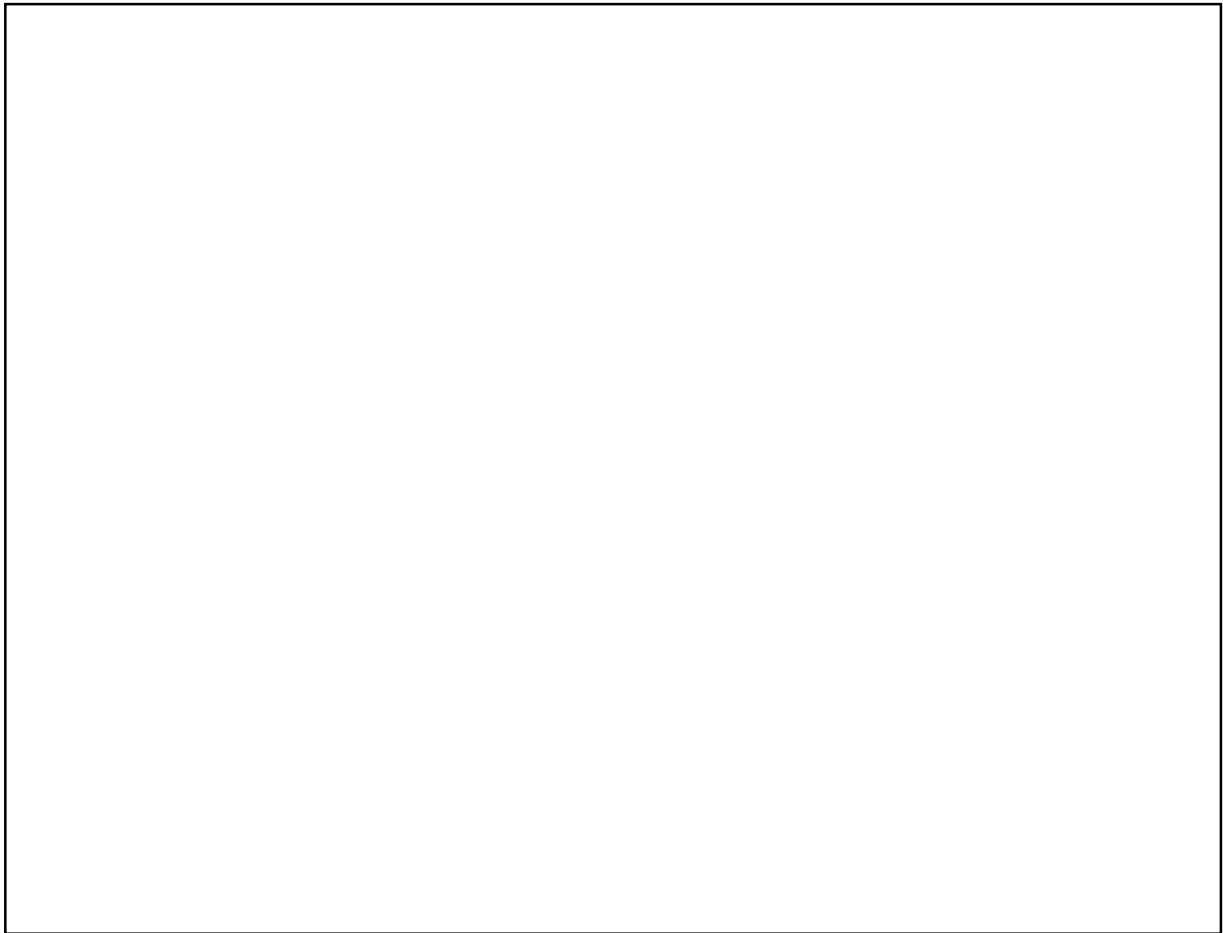
单端信号传输中的共模噪声可被接收器译码为脉宽失真，这会降低定时容限。



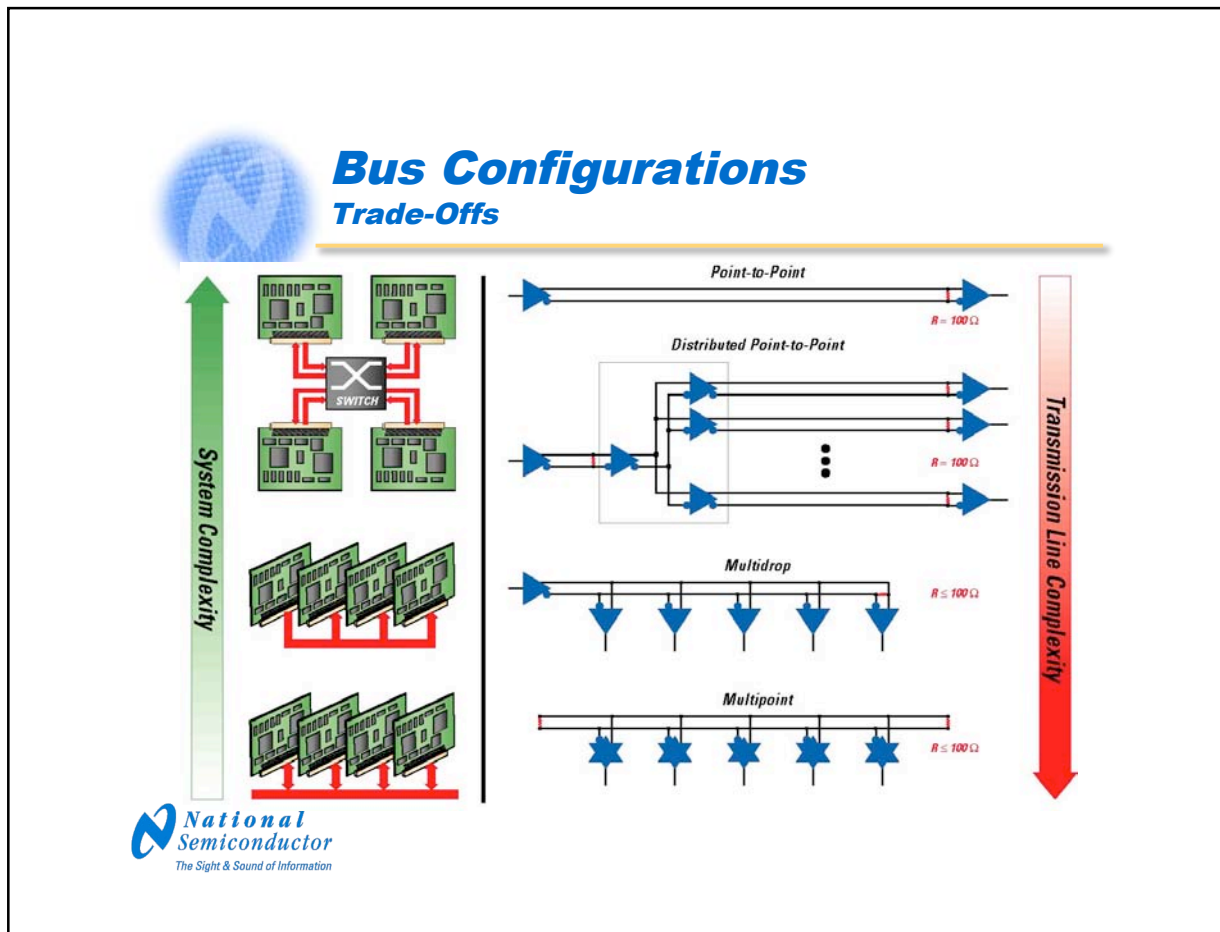
Common Mode Noise Differential Signals



差分信号的共模噪声被接收器抑制，对性能影响最小。



共模噪声已耦合到LVDS信号中(顶部波形: A' 和B' 画在一起)。低部波形是接收器输出信号©。接收器抑制共模噪声而只响应差分信号所承载的数字信息。需要提供最小 $\pm 1V$ (GND到+2.4V)共模抑制。大多数接收器在内部ESD结构发生错位前, 一般提供 $-0.5V \sim (V_{cc}+0.5V)$ 共模抑制。在上面图中, 加入大于 $\pm 1.5V$ 共模噪声。



LVDS可以用在很多不同的配置中。在此给出每种配置的优、缺点:

点到点 (Point-to-Point)

优点:

- 可同时传输
- 无击穿通电插入
- 无干扰电信号通路, 具有最高速度

缺点:

- 比较昂贵
- 不熟悉的结构

点到多点(aka Point-to-Multipoint)

优点:

- 比较少的互连
- 不需要中心开关芯片
- 可行的数据串行一较少的线迹和较小的连接器

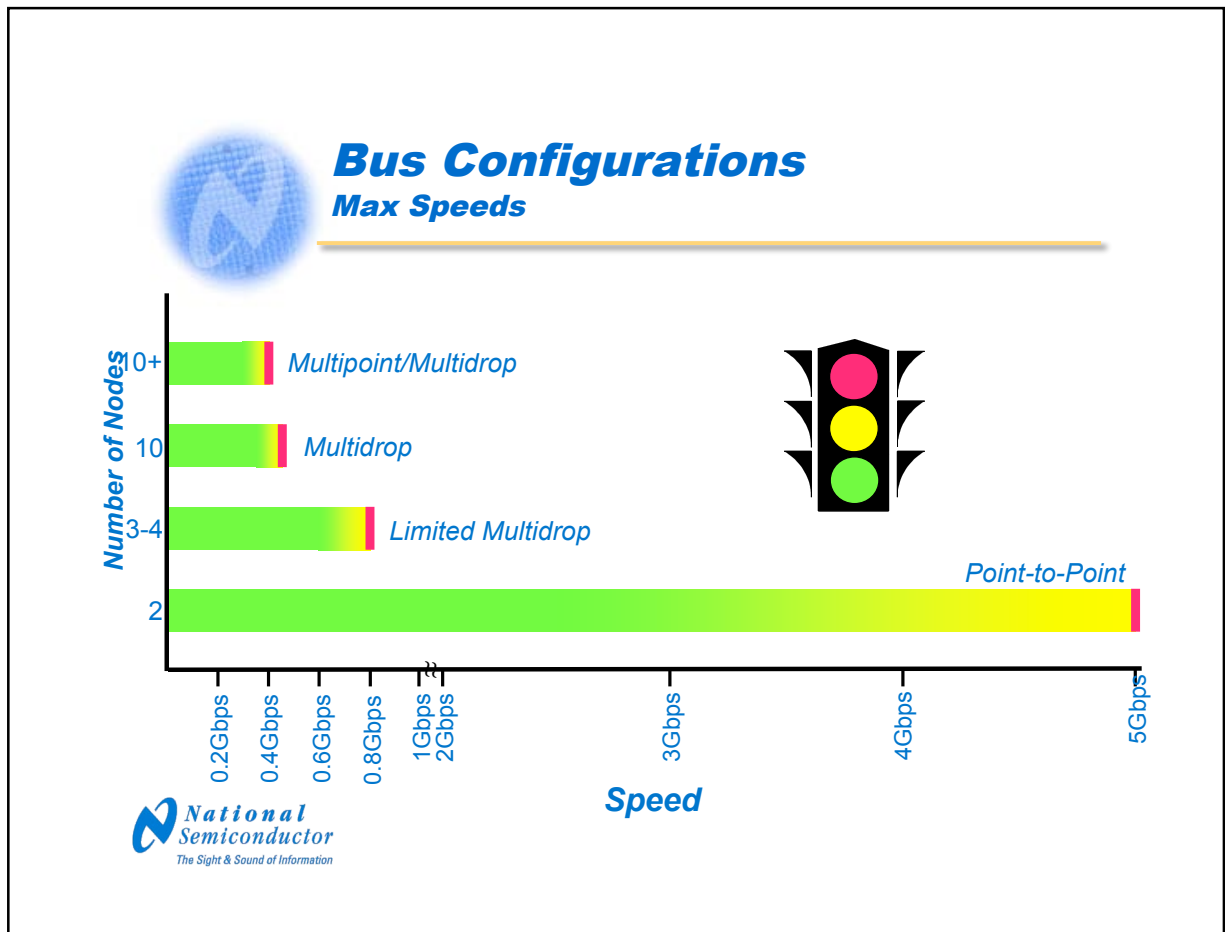
点到多点(Multipoint)

优点:

- 便宜
- 熟悉的结构

缺点:

- 在一个时间只一个处理
- 复杂的通电插入
- 复杂的信号通路



此图示出总线配置、速度和节点数之间的典型关系。点到多点配置的速度是最好的。

根据线脚长度，连接器和媒体带宽，一个有限的多站配置可工作在 650Mbps~800Mbps 范围。

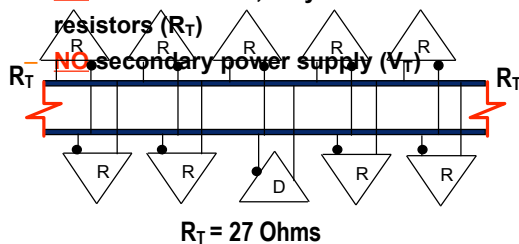
很多负载和多点配置限于 350~450Mbps 范围。

图中绿色表示通用应用支持，黄色表示根据媒体可置更多限制，红色指示一般不可超过的范围。

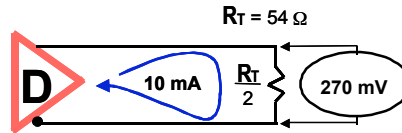


What is Bus LVDS?

- Bus LVDS is LVDS with increased output current to drive double-terminated buses
- Bus LVDS simplifies transmission line termination over other bus technologies
 - **NO** active devices, only 2



$R_T = 27 \text{ Ohms}$



Termination Load Power = $(I_{OD} \times V_{OD})$
 $= (10 \text{ mA} \times 270 \text{ mV}) = \mathbf{2.7 \text{ mW}}$

- Bus LVDS products have Fault Tolerance:
 - High impedance on power down
 - Hot insertion capability
 - Bus contention tolerance
- Bus LVDS features
 - Light bus loading ($< 5 \text{ pF}$)
 - Balanced output impedance (Do-/Do+)
- Ruggedness
 - $> 2000 \text{ V}$ ESD to HBM
 - $> \pm 300 \text{ mA}$ latch up

当考虑总系统功率利益时，设有一种总线驱动技术可以与Bus LVDS相比。Bus LVDS具有片上最低功耗，这是因为恒定的4~10mA总线驱动电流。它可以驱动仅为10mA的重负载总线，因为它也能使来自总线所连的其他收发器的总线负载最小。对整系统而言，另外最大的好处是终端的低成本和终端的低功耗。

总线LVDS在终端不需任何有源器件。不像GTL、SSTL或TTL那样，点到多点配置中的总线LVDS仅用两个无源终端电阻器。所有其他总线驱动技术都需要一个严格稳压的终端电压，如GTL+所要为1.5V。因为需要电压控制芯片和与控制芯片有关的无源元件，这种严格的稳压对背板设计增加相当大的成本。然而，总线LVDS仅需要2个电阻器成本，为什么选择其他要增加电压稳压的技术呢？

总线设计人员根据总线负载阻抗(Z_L)的计算来确定Bus LVDS终端电阻器(R_T)的数值。有复杂的一组变量确定 Z_L 。其因数量负载或插入板卡与背板线迹特性阻抗(Z_0)之间的间隔。另外，插入板卡线脚、连接器的负载和收发器负载会影响 Z_L 。例如，设计人员靠分析变量确定背板的 R_T 数值。如何做到完整描述可从www.national.com/1vds网页得到。

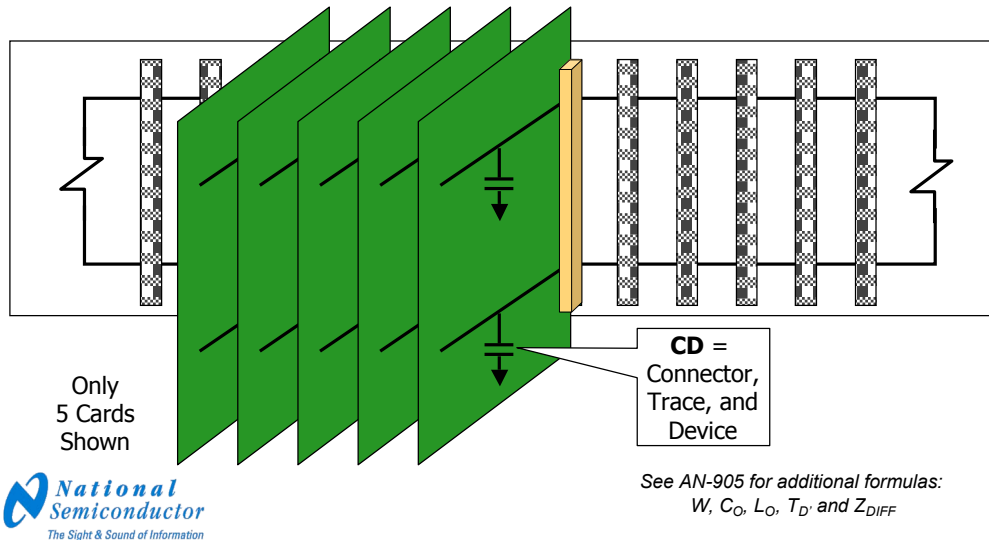
仅仅为了便于理解(不是实际的计算)的目的，假定背板参数为： $Z_0=100 \Omega$ ，20个槽之间30mm间隔，30mm线脚长度，2mm型连接器，在所有板上有NS公司DS92LV010 BusLVDS收发器。在这种情况下， Z_L 大约为54 Ω 并以27 Ω 值端接在两端，见上图。

负载功率为负载电流乘跨接在 R_T 上的电压降，做为在终端上的功耗。10mA输出电流流经等效 $R_T/2$ (27 Ω)，因此，每条差分总线线的总功率为2.7mW。2.7mW比其他总线技术的终端功耗小一个量级。



Loaded Bus Impedance

Distributed capacitance load lowers Z_0



此图示出5个插入板卡的差分总线。板卡对总线增加的负载主要来自体内电容负载(CD): 连接器 2-3pF、PCB线迹2-3pF、器件4-5pF, 总负载大约为10pF。限制板卡线脚上的通路数目可使电容负载最小。保持线脚长度尽可能短。两个末端将有助保持高“负载”总线阻抗, 这将增大噪声容限。

一些BLVDS具有工作在通配符配置中的能力。根据系统噪声容限目标, 不需要满板卡负载。终端选择需要一点点技巧, 但应该匹配满负载情况(或生活服务微高点)。甚至对半负载或分负载总线其波形是良好的。由于不符合噪声容限, 所以, 单端技术不支持这种特性



General Bus Performance

Topology	Configuration	Performance
Point-to-Point	1 Tx, 1 Rx	Up to chip max spec
Limited Multidrop	1Tx, 2 - 4 Rx	Up to 500 – 600 Mbps
Multidrop	1 Tx, 10 - 20 Rx	Up to 300 – 400 Mbps
Multipoint	10 - 20 Transceivers	Up to 200 – 300 Mbps

- Actual performance varies and depends on
 - interconnect bandwidth (impedance control, stubs, etc.)
 - transmitter edge rate
 - node spacing
 - other system & environmental factors



概括地说:

- 点到点连路可在芯片组最高性能下运作（若互连能支持此速度）。
- 一些器件可用于点到多点配置中，这依赖于输出沿速率、线脚长度、负载数、负载间距等。
- 只有Bus LVDS和M-LVDS总线收发器才可支持点到多点的配置。

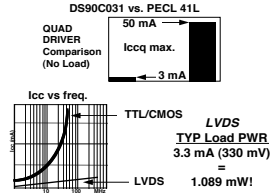


LVDS / BusLVDS Advantages

High Speed

- >400 Mbps single channel
- 6.38Gbps throughput chipsets
- Over PCB or cable (up to 15m)

Low Power

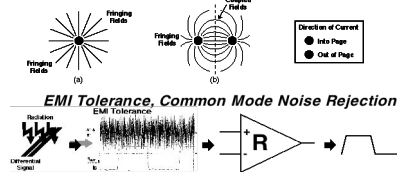


Low Cost

- Economical CMOS implementations
- Serializers reduce cable/connector size by up to 80%, lowering costs by up to 50%
- ANSI/TIA/EIA-644 open standard
- Integration roadmap

Low EMI/High CMR

*Differential Coupled Fields
Reduce Fringing Fields Which Cause EMI*

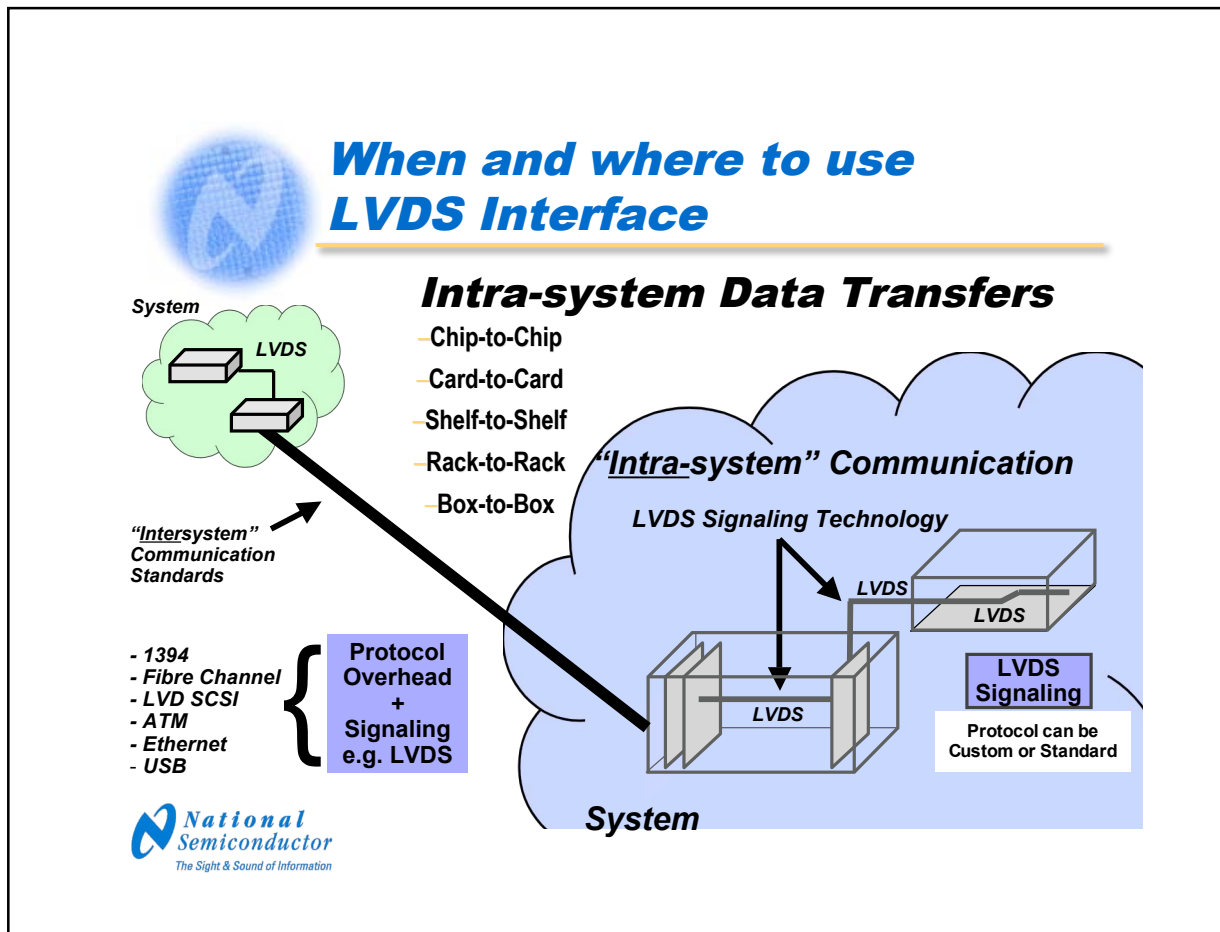


总之，LVDS增加速度、降低功耗、具有低系统成本和低EMI。



Where can I use National's LVDS products?

此部分给出采用LVDS产品的一些典型应用。



LVDS仅用于传输“1”和“0”逻辑态的电信号传输技术。由于高速信息需要使送进入、通过系统，因此需要把信息通信到外部世界，系统向贯穿一个约定协议标准。这就是当今用到的IEEE 1394、光纤信道、千兆位Ethernet等标准。

然而，此信息也需要移入一个系统，这是当今NS的LVDS方案所用之处。由于不需要与上面所列协议方案有关的硬件和软件开销（这种开销是多余的也是昂贵的）。所以，用一个简单的低成本LVDS链路。因此，NS的LVDS方案传送信息在内部系统：片上，板到板，模块到模块或组件到组件。将来LVDS也将用于系统间通信的协议。

注意：标准1394、SCSI和LVD SCSI实际所用信号传输技术与来自LVDS的信号传输技术相类似，LVDS与这些协议相接合，可产生一个系统间通信标准。



“LVDS” PHYs

**Drivers, Receivers, Transceivers,
Clock/Data Distribution Devices, &
Switches**

下一部分概述当今可用的LVDS的不同器件。由于LVDS具有强大的系统优点（高速和低功率），所以，它已经扩展到一些优选应用中。



LVDS Drivers & Receivers

Product Portfolio Examples (not complete list)

See also transceivers, clock buffers, & switches

Indicates newest products

Singles

DS90LV011/012

DS90LV017/018

DS90LV019

DS92LV010

Doubles

DS90LV049

DS90LV027/028

DS90C401/2

DS36C200

Differential Buffers

DS90LV001

DS90LV110

DS92001

Quads

DS90LV047/048

DS90LV031/032

DS90C031/032

DS92LV040

9-Channel

DS92LV090

Crosspoint Switch

DS90CP04

DS90CP22

SCAN90CP02

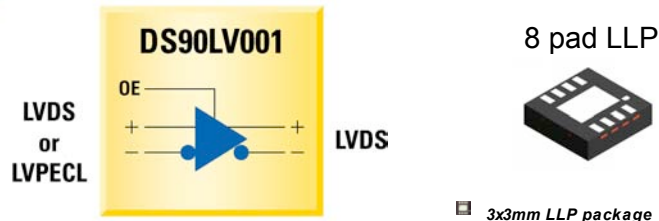


Note - Root Numbers Shown

NS公司促进LVDS的标准化和采用，并具有PHY器件最优秀的一族。简单的PHY可用于不同信道宽度（1，2，4和9信道任选）。对于较宽的总线，根据定时容限和总线速度可以用多器件并联。作为宽总线应用的一个替代方案，SER/DES方案对于点到点链路是比较好的，这是由于互连和引脚较少。大多数器件是3.3V，但少数器件是5V应用。当然，可以混合3.3V和5V器件，这是由于LVDS电平对它们是共同的。



DS90LV001 **“Stub Hider” Single LVDS Buffer**



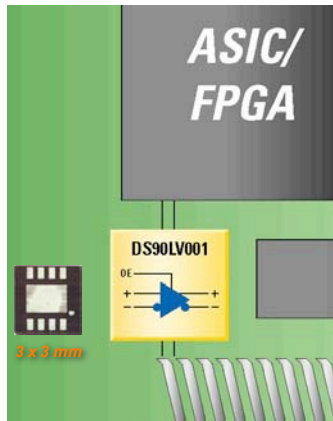
- Buffer long stubs by placing near connector
- 800 Mbps data rate
- LVDS and LVPECL compatible input, LVDS output
- TRI-STATE control
- 8-pin SOIC or 3 x 3 mm LLP package



DS90LV001是一款单LVDS和LVPECL到LVDS的缓冲器。小的3x3mm LLP封装可使它放置在印刷电路板上执行功能，如缓冲、线脚遮掩、变换等。



DS90LV001 Application: ASIC/FPGA Buffering



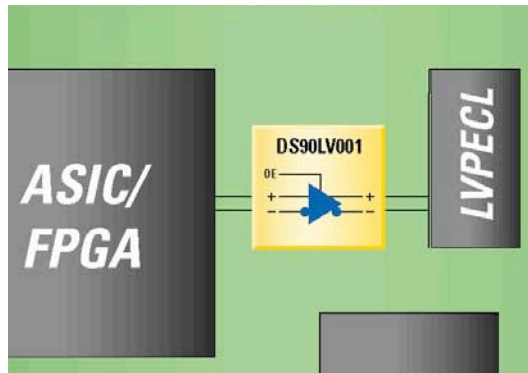
- **Problem**
 - ASIC/FPGA LVDS I/O has poor signal quality when driving off board
- **Solution**
 - use LVDS buffer(s) to “boost” signal
- **Constraints**
 - added jitter
 - skew between channels



某些先进的ASIC和FPGA包含可选择的LVDS I/O。有时，这些LVDS单元的设计不完全考虑高速信号传输的模拟特性。工作在兆位或千兆位速率需要快速沿率和精确电路定时。在此速度，被驱动的总线或缆线模型化为一个传输线，而不是一个集总负载。用这些数字LVDS I/O印刷电路板（PCB），可使信号质量变坏，需要一个LVDS到LVDS缓冲器来推动“升高”信号。DS90LV001是一款800Mbps单LVDS/LVPECL到LVDS缓冲器，采用3X3mm封装。小尺寸允许把它添加到密集的PCB上来改善信号的完整性，而不用太多的重新布线PCB，这简化最后改版要求。



DS90LV001 Application: Level Translation



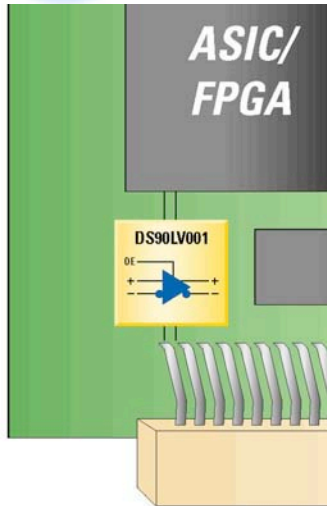
- **Problem**
 - need to translate between older LVPECL chip to newer LVDS chip
- **Solution**
 - use translating buffer or switch
- **Constraints**
 - may require bias network
 - added jitter



很多较老的高速ASIC和标准器件系用LVPECL信号传输。LVPECL I/O具有显著的信号传输特性，但与当会的CMOS电路不兼容。因此，系统设计是老的双板/BiCMOS LVPECL和新的CMOS LVDS器件的混合，这需要LVPECL和LVDS之间的变换。为了从LVPECL变换到LVDS，DS90LV001和DS90CP22 800Mbps/Channel 2X2开关直接接收LVPECL信号，提供一个规则的LVDS输出。直接连接LVPECL输出到DS90LV001或DS90CP22输入。对于LVDS到LVPECL变换和变换到/从PECL，需要无源电阻器网络来调节电压摆幅和/或偏置（有来自不同PECL厂家有关此问题的大量应用指南）。



DS90LV001 Application: Hiding Stubs



- **Problem**
 - stubs severely limit multidrop and multipoint backplane performance
- **Solution**
 - use small “stub hider” buffer to “hide” long stubs
 - can hide receiver and/or transmitter stubs
- **Constraints**
 - fanout (driving multidrop loads)
 - added jitter
 - skew between channels



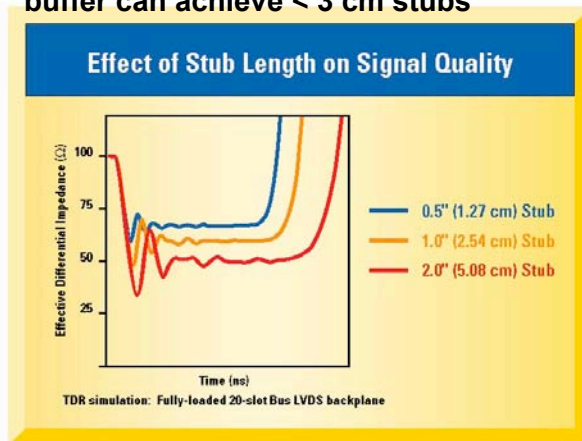
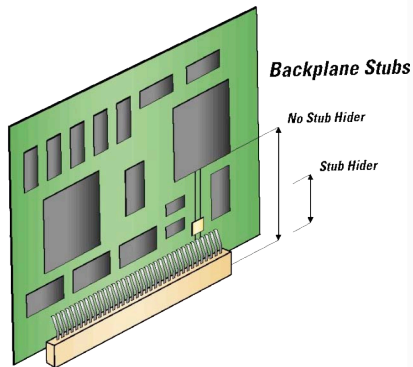
虽然用世界上最好的LVDS器件设计，但亦有机会把它放置在连接器处。在点到多点和多点到多点系统拓扑中，必须使用短的线脚长度来减小反射干扰。在这些系统中，线脚长度对信号质量有大的影响，往往是决定最高总线速度的主要因数。当运行在200Mbps时，沿率将足够的快，使所需的线脚要小于2-3cm。

DS90LV001“Stub-Hider”（线脚遮盖）器件可放置在连接器几毫米内，可降低3-5cm线脚到小于2cm，这极大地改善信号质量。“Stub Hider”可使LVDS源/目标芯片有更大的替代灵活性，这可减轻其他PCB布线的难题。



DS90LV001 Application: Hiding Stubs (cont'd)

- Stubs > 3 cm reduce large backplane performance to < 200 Mbps
- Small “stub hider” buffer can achieve < 3 cm stubs



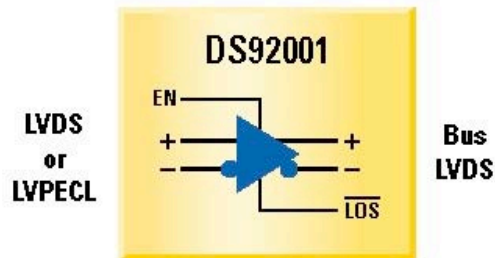
Source: NESA Technical DesignCon99 Whitepaper: Signal Integrity and Validation of National's Bus LVDS Technology in Heavily Loaded Backplanes. www.national.com/lvds

NESA DesignCon 99白皮书 (www.national.com/lvds) 模拟背板性能与线脚长度和基地参量的关系。如上面TDR (时域反射) 图所示, 用 2.0' (5.08cm) 线脚长度, 其有效的差分阻抗几乎降到30 ? 。



DS92001

Bus LVDS “Stub Hider”



- Specified for loads from 27 – 50 Ω
- /LOS provides digital indication of failsafe condition
- EN allows output to be TRI-STATEd
 - By connecting /LOS to EN, the output will go to high impedance when the input goes to high impedance

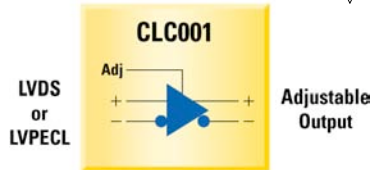
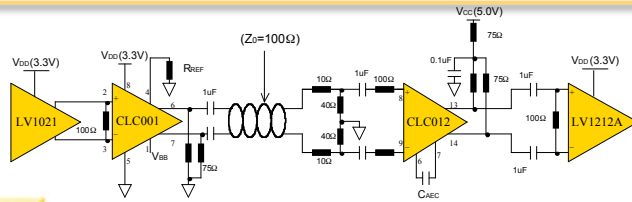


DS92001是交流行的DS90V001“Stub Hider”的Bus LVDS型号。DS92001具有驱动重/多负载的控制沿率总线LVDS输出的/LOS（信号损失）引脚。



CLC001

Adjustable Output Cable Driver



- 30 MHz ERROR FREE Operation over 61m UTP 100-Ohm CAT5e cable (< 100 Minutes)
- 40 MHz ERROR FREE Operation over 100m 75-Ohm Belden 8281 cable (24 hours)!!

- Drives balanced and unbalanced AC-coupled 75Ω cables
- LVDS / LVPECL / PECL compatible inputs
- Adjustable output including 800mV & 1000mV P-P
- 622 Mbps data rate
- Compliant with SMPTE 259M & ITU-T G.703
- 8-pin SOIC package



CLC001是一款可调输出缆线驱动器，它也可以从LVDS变换到LVPECL可PECL。

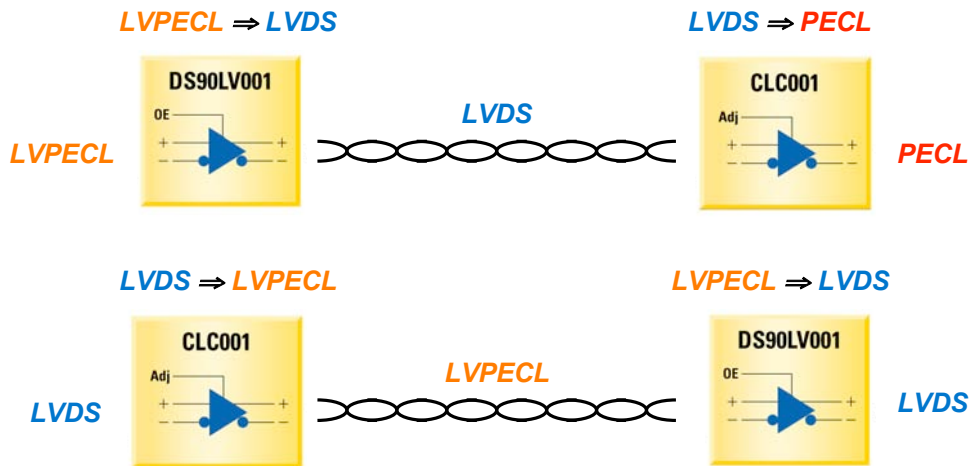
最近用NS 10位Buc LVDS Ser Des在CAT5e 缆线上驱动61m距离的测试兼容性进行了研究。在Belden 8281缆线上，在30MHz甚至可达到100m。

请浏览 www.national.com/lvds 或与当地NS公司接触获得该应用报告的拷贝。



Level Translation

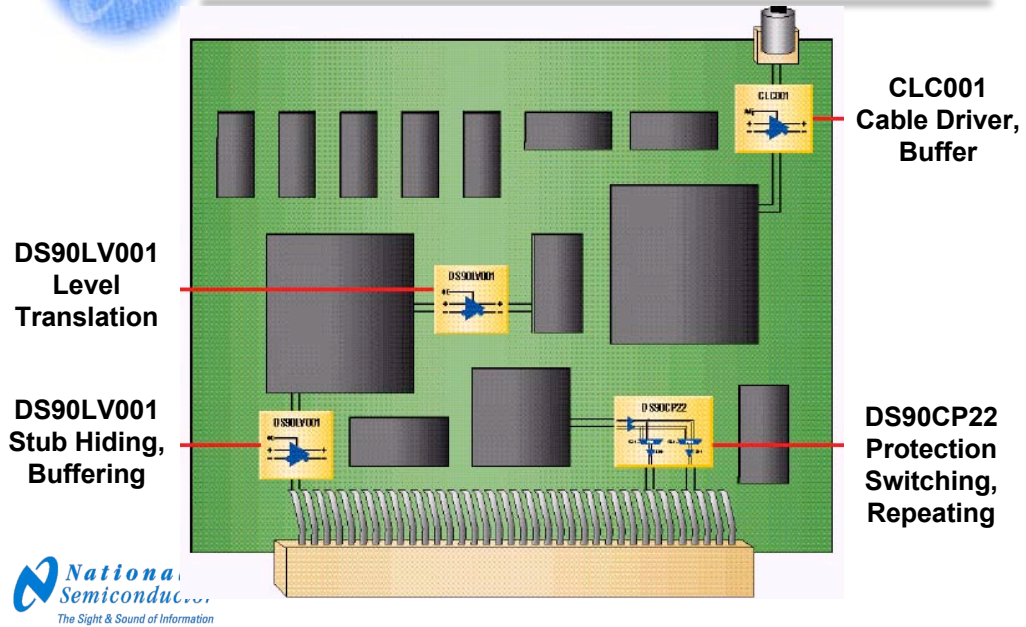
Examples (DS90LV001 & CLC001)



DS90LV001T和CLC001可用于LVDS、LVPECL和PECL之间的变换。DS92001（未示出）可用于以LVDS或LVPECL到Bus LVDS的变换。CLC001具有非常宽的输入共模范围，可以双双接收LVDS和LVPECL输入。



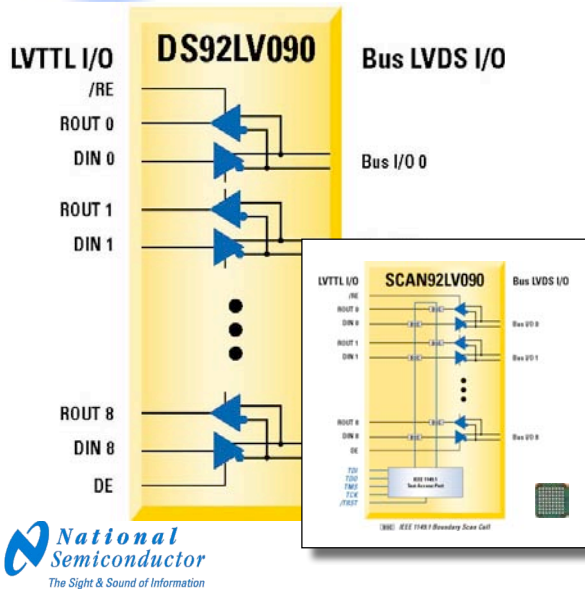
Buffer, Cable Driver, Level Translator Applications



上图所示仅仅是NS器件用在板卡上很多地方的一部分。



DS92LV090A/SCAN92LV090 9-Channel Bus LVDS Transceivers



- Drives cable or backplane buses
- High impedance on power down
- 3.0 ns max prop delay
- +/-800 ps chip-to-chip skew over PVT
- 3.3V operation
- 10x10 mm 64-lead TQFP package;
SCAN92LV090 in 8 x 8 mm 64 FBGA

DS92LV090和SCAN92090是9信道收发器，具有驱动缆线或背板点到点、多站到多点总线的能力。SCAN增加IEEE1149.1JTAG支持，并采用节省空间的8 × 8mmFBGA封装。

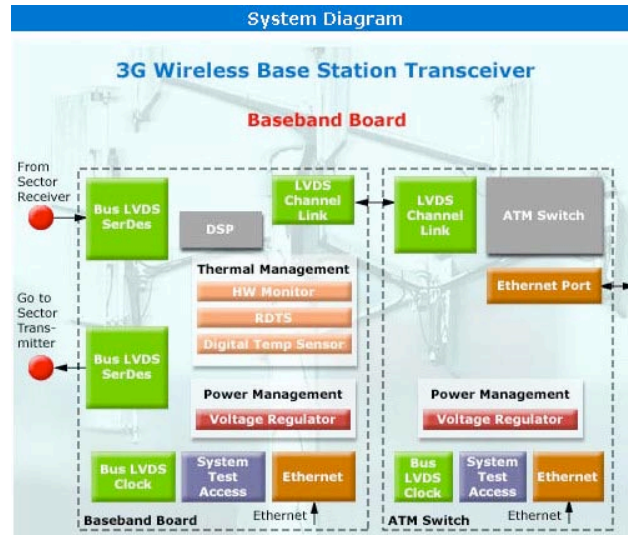


Products for BTS Applications

下一部分给出用于BTS（基站收发器）网络产品。



3G Baseband

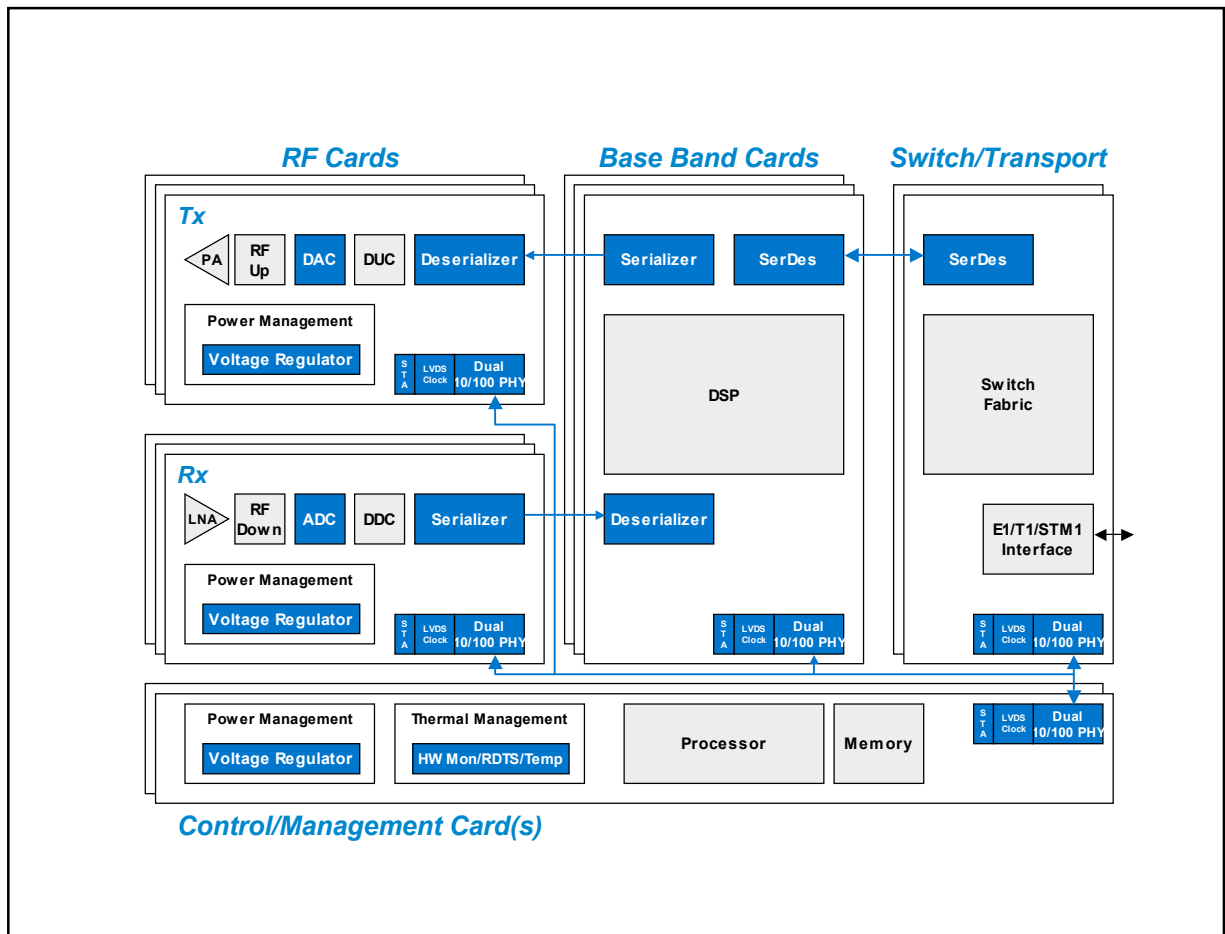


无线基站收发器的基带板功能包括:

- 1) 综合正确的时 ? 或编码消息, 分离接收信号进入信道。
- 2) 发送这些信号到基站控制器用于压缩。
- 3) 由BSC指向改变到另一信道。
- 4) 为了发送到移动用户, 变换信道返回到模拟、综合多语音信道, 上变频到IF, 滤波和放大信号。

元件集锦

- 降压开关稳压器——提供高效率、高功率密度电源变换。
- Ethernet PHY——小尺寸、低功率、完全彼此协作的Ethernet PHY提供高达1Gbps性能。
- LVDS——SerDes、ChannelLink和时钟提供部件间高速接口。
- 从几个硬件监控器中选择传感器——PDTs2——wire串行温度传感器和SPI/Microwire兼容数字传感器。



此图示出在控制板卡中所见到的很多NS产品。除了通信接口外的一些产品线包括：电源、网络和数据变换。



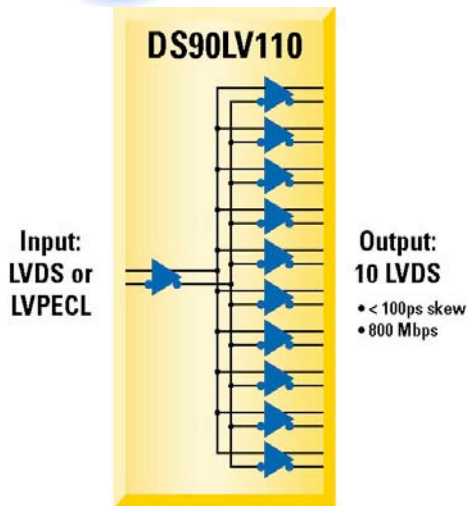
Clock Distribution

下一部分给出用于时钟分布应用的NS产品。

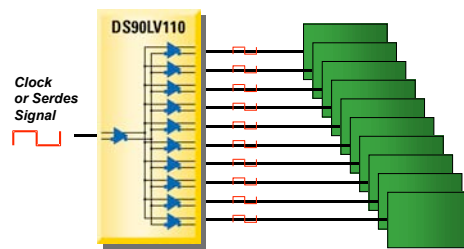


DS90LV110

1:10 Clock/Data Distribution



- Distributes clock or data signals
- >400 MHz operation
- < 100ps ch-to-ch skew
- < 100ps duty cycle distortion
- Accepts LVDS or LVPECL input
- Industrial temp range
- DS90LV110A with Failsafe also available



National Semiconductor
The Sight & Sound of Information

PP1 PP2 MD1 MD2 MD3 MD4 MP1

DS90LV110 接受一个 LVDS 或 LVPECL 输入信号并复制产生 10 个低偏斜失真 (skew) 的输出信号。此芯片可以用于分配数据或者时钟信号。